

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04409603 **Image available**

THIN FILM TRANSISTOR AND FABRICATION THEREOF

PUB. NO.: **06-053503** [JP 6053503 A]

PUBLISHED: February 25, 1994 (19940225)

INVENTOR(s): ARAI MICHIO

APPLICANT(s): TDK CORP [000306] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-199749 [JP 92199749]

FILED: July 27, 1992 (19920727)

INTL CLASS: [5] H01L-029/784; H01L-021/316

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1555, Vol. 18, No. 280, Pg. 28, May
27, 1994 (19940527)

ABSTRACT

PURPOSE: To deposit an SiO(sub 2) film having uniform thickness suitable for formation of a uniform gate oxide film by depositing SiO(sub 2) film under a specific filming temperature through plasma CVD employing TEOS + O(sub 2) gas added with Cl(sub 2) gas while generating plasma by means of rod electrodes.

CONSTITUTION: Large area sample substrates 2 are mounted oppositely each other on a supporting table in a silicon chamber 1 into which O(sub 2) gas, TEOS gas, and Cl(sub 2) gas are then introduced. Filming temperature in the silicon chamber 1 is controlled in the range of 450-600 deg.C by means of a heater 7 disposed on the outside of the silicon chamber 1. Voltage is then applied between a pair of rod electrodes 8, 8' interposed between the silicon chamber 1 and the heater 7 to generate oxygen plasma and chlorine plasma thus obtaining an SiO(sub 2) film having uniform quality and thickness through CVD. When an SiO(sub 2) film thus formed is employed, a gate oxide film excellent in step coverage having low interface state density and high withstand voltage can be obtained.

DIALOG(R)File 352:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
009825186

WPI Acc No: 1994-105042/199413

XRAM Acc No: C94-048480

XRPX Acc No: N94-082257

Thin film transistor - uses silica film formed by generating plasma by
electrode at specified as gate oxide film NoAbstract

Patent Assignee: TDK CORP (DENK)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6053503	A	19940225	JP 92199749	A	19920727	199413 B

Priority Applications (No Type Date): JP 92199749 A 19920727

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 6053503	A		6	H01L-029/784	

Title Terms: THIN; FILM; TRANSISTOR; SILICA; FILM; FORMING; GENERATE;
PLASMA; ELECTRODE; SPECIFIED; GATE; OXIDE; FILM; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029/784

International Patent Class (Additional): H01L-021/316

File Segment: CPI; EPI

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-53503

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 29/784				
// H 0 1 L 21/316	X	7352-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 G

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号	特願平4-199749	(71)出願人	000003067 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号
(22)出願日	平成4年(1992)7月27日	(72)発明者	荒井 三千男 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
		(74)代理人	弁理士 山谷 皓榮 (外1名)

(54)【発明の名称】 薄膜トランジスタ及びその製造方法

(57)【要約】

【目的】 本発明は薄膜トランジスタ及びその製造方法に関し、TEOSガス+O₂ガスによるプラズマCVD法によって大面積基板上に均一な膜厚でかつ均質なゲート酸化膜に適したSiO₂膜を成膜することを目的とする。

【構成】 TEOSガスとO₂ガスの他にCl₂ガスも用いてプラズマCVD法を行う際、O₂ガスとCl₂ガスをプラズマ化して450℃～600℃の成膜温度でSiO₂膜を形成し、これをTFTのゲート酸化膜とする。

【特許請求の範囲】

【請求項1】 薄膜トランジスタに用いるゲート酸化膜として、テトラエトキシシラン（TEOS）ガスと酸素ガスと塩素ガスによるプラズマCVD法によって形成する SiO_2 膜であって、その成膜温度を $450\sim 600^\circ\text{C}$ にし、棒状電極によってプラズマを発生させつつ成膜した均質な SiO_2 膜を用いることを特徴とする薄膜トランジスタ。

【請求項2】 薄膜トランジスタに用いるゲート酸化膜として、TEOSガスと酸素ガスと塩素ガスによるプラズマCVD法であって、その成膜温度を $450\sim 600^\circ\text{C}$ とし、反応室内に棒状電極によりプラズマを発生させつつ SiO_2 膜を成膜する工程を含む薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタ（Thin Film Transistor以下TFTという）とその製造方法に係り、特にTFTのゲート酸化膜として適した良好な膜質である上に、均一な膜厚の SiO_2 膜を有するTFT及びその製造方法に関する。

【0002】

【従来の技術】 ファクシミリ用のイメージセンサ、液

晶、薄膜IC等に用いられるTFTのゲート酸化膜は、大面積基板上にTFTを構成するとき、均一な膜質であるとともに、その膜厚の均一性も求められる。

【0003】 従来このようなTFTに適したゲート酸化膜用 SiO_2 は、CVD法で形成することがよく知られている。またCVD法により SiO_2 膜を形成することも周知である（例えば、特開昭61-63020号公報、特開昭62-216261号公報、特開平1-238024号公報、特開平2-93069号公報、特開平2-170974号公報等参照）。

【0004】 従来の代表的なゲート酸化膜用 SiO_2 膜には次のようなものがある。

(1) テトラエトキシシラン $[\text{Si}(\text{OC}_2\text{H}_5)_4]$

（以下TEOSという）と O_2 ガスによる減圧CVD法（LP-CVD法）により形成した SiO_2 膜、(2) スパッタ法により形成した SiO_2 膜、(3) ECRプラズマCVD法により形成した SiO_2 膜、(4) TEOSと O_2 ガスによるプラズマCVD法（P-CVD法）により形成した SiO_2 膜等である。

【0005】 これらのゲート酸化膜用 SiO_2 膜の特性を表1に示す。

【0006】

【表1】

	製 法	耐圧(MV/cm)	界面単位密度($\mu\text{C}/\text{cm}^2$)	屈折率	ステップカバレッジ
1	TEOS+ O_2 LP-CVD法	4	1×10^{11} 以下	1.2~2.5	良好
2	スパッタ法	8	1×10^{11} 以下	1.46	不可
3	ECR-PCVD法	8	5×10^{11}	1.46	良好
4	TEOS+ O_2 P-CVD法	8	1×10^{11} 以下	1.46	良好

【0007】 一般にゲート酸化膜用 SiO_2 としては耐圧 $6\text{MV}/\text{cm}$ 以上、界面単位密度は $1 \times 10^{11}/\text{cm}^2 \cdot \text{eV}$ 以下、屈折率1.46程度のものが求められている。

【0008】 表1から明らかな如く(1) TEOS+ O_2 ガスのLP-CVD法による SiO_2 膜は耐圧が低く、屈折率が変動するなどの問題点がある。

(2) スパッタ法による SiO_2 膜はステップカバレッジが悪く、ゲートリークを発生し易いという問題点がある。

【0009】 (3) ECRプラズマ又はCVD法による SiO_2 膜は界面単位密度が大きく、TFTを形成した場合、素子のオフ電流が大きという問題点がある。

(4) TEOS+ O_2 ガスのP-CVD法による SiO_2 膜は表1に示す特性では最もすぐれたものである。

【0010】

【発明が解決しようとする課題】 ところがTEOS+ O_2 ガスによるP-CVD法によって成膜するための従来の装置はサス・ステンレス・チャンバーを使用しなけれ

ばならない。そして、このサス・ステンレス・チャンバーの不純物が、生成する酸化膜中に混入し易いこと、酸化膜の成膜温度が 450°C 以下と低く、高温での膜生成が不可能であるという問題点がある。

【0011】 さらにこのTEOS+ O_2 ガスによるP-CVD法によって大面積基板上に SiO_2 膜を成膜する場合、膜厚と膜質の均一性を得るために、チャンバー内に均一なプラズマを発生させる。そのためチャンバーの外側に設ける平板電極を平行にし、このサス又はAl電極内で製造しなければならない。

【0012】 このため、この平行平板電極のサイズより大きな基板上に SiO_2 膜を成膜するのは困難であった。従って、本発明の目的はTEOSガスをを用いたCVD法によって大面積基板上に均一な膜厚でかつ均質なゲート酸化膜に適した SiO_2 膜を成膜することである。

【0013】

【課題を解決するための手段】 前記目的を達成するため、本発明者は鋭意研究の結果、TEOS+ O_2 ガスに Cl_2 ガスを加えたプラズマCVD法を用いることによ

り、大面積基板に均一な膜厚と膜質を有する SiO_2 を生成することができるを見出した。成膜温度は $450 \sim 600^\circ\text{C}$ の範囲である。

【0014】この時、 O_2 プラズマを発生させるための電極は、チャンバー内に均一なプラズマを発生させる必要はなく、棒状電極で十分均質な SiO_2 膜を得ることができる。

【0015】

【作用】 $\text{TEOS} + \text{O}_2$ ガス + Cl_2 ガスによるプラズマCVD法によれば膜の均質性、膜厚の均一性が得られることはもちろん、 SiO_2 膜の成膜速度（グロスレート）が早くなる上、反応のために必要な成膜温度をさらに下げることができる。

【0016】

【実施例】本発明の一実施例を図1～図4により説明する。図1は本発明の一実施例に使用するCVD装置を示す概略構成図であり、図1(a)は装置の断面図、図1(b)は装置の平面図である。

【0017】図1において1は石英チャンバー、2は試料基板、3、4、5はガス導入口、6は排気ポンプ、7はヒータ、8、8'は棒状電極を示す。ガス導入口3、4、5からそれぞれ、 O_2 ガス、 TEOS ガス、 Cl_2 ガスが石英チャンバー1に導入される。また排気ポンプ6により、石英チャンバー1内を減圧する。

【0018】石英チャンバー1の外部に設けられたヒータ7により石英チャンバー内の成膜温度を制御する。本実施例においては、石英チャンバー1とヒータ7の間に例えば直径2cmの一对の棒状電極8、8'が設けられており、両者に電圧を印加することにより、石英チャンバー1内に酸素プラズマ、塩素プラズマを発生させる。

【0019】この装置を用いた SiO_2 膜の成膜方法について説明する。石英チャンバー1内に例えば $30\text{cm} \times 30\text{cm}$ 角の大面積の試料基板2・・・を図示しない支持台上に対向する形で載置し、次に示す如き成膜条件によって試料基板上2上に SiO_2 膜を成膜する。

【0020】 TEOS ガス 50SCCM
 O_2 ガス 500SCCM
 Cl_2 ガス 5SCCM
 電力 100W
 成膜温度 600°C
 圧力 $0.05\text{Torr} \sim 2.0\text{Torr}$

この条件で成膜した後 550°C 以上の温度で長時間アニールすることにより、より安定化した SiO_2 膜を得ることができる。なお、 TEOS ガスや O_2 ガスのそれぞれの量を変えても同様な安定した SiO_2 膜を得ることができる。

【0021】形成した SiO_2 膜は屈折率1.46、耐圧、界面単位密度はともに従来の $\text{TEOS} + \text{O}_2$ ガスのP-CVD法による SiO_2 膜と変わらない良好な特性を示す。しかもCVD法で成膜したので、ステップカバ

レージも良好である。

【0022】また、本発明においては添加する Cl_2 ガスの量によって、成膜した SiO_2 膜の膜厚にバラツキが生じることがある。図2に、 $30\text{cm} \times 25\text{cm}$ 基板に成膜した本発明の SiO_2 膜の膜厚のバラツキと成膜温度との関係及び Cl_2 ガスの量によって変化する SiO_2 膜の膜厚のバラツキと成膜温度との関係を示す。

【0023】なお、この時の成膜条件は次の通りである。

TEOS 50SCCM
 O_2 ガス 300SCCM
 Cl_2 ガス 5SCCM (曲線A)、20SCCM (曲線B)、50SCCM (曲線C)
 電力 100(W)

図2の曲線Aによれば、 Cl_2 ガスを5SCCM導入した場合、成膜温度を 530°C 以上とすることにより膜厚の均性が満足できるものとなる。さらに Cl_2 ガスの濃度を増加すれば 450°C 以上のより低い温度領域で膜厚のバラツキを非常に少なくすることができる。

【0024】また、 Cl_2 ガスを導入することによって SiO_2 膜の成膜速度（グロスレート）を上昇させることができる。さらにNa等のゲッタリング効果を期待できる。

【0025】熱CVD法による SiO_2 膜の成膜は 620°C から始まるが、本発明ではプラズマをかけるためより低い温度領域においても均一な SiO_2 膜を生成できる。図2からも明らかな如く $450^\circ\text{C} \sim 600^\circ\text{C}$ が適当である。

【0026】また電力についても同様の理由から必要に応じて10～500Wの間の値をとることができる。次に本発明による SiO_2 膜をゲート酸化膜として用いたTFTの一例として、ガラス基板上にC-MOSFETから成るTFTを形成する場合の製造工程を図3、図4によって説明する。

【0027】まずガラス基板として、例えば日本電気ガラス社製のネオセラム（商品名）ガラス基板31を用意し、このネオセラムガラス基板31上にジシラン(Si_2H_6) ガスを用いた減圧CVD法によりa-Si層32を約1000Åの厚さで成膜する（図3(a)参照）。

【0028】成膜条件は Si_2H_6 ガス：100SCCM、圧力：0.3Torr、Heガス：200SCCM、加熱温度： $450^\circ\text{C} \sim 570^\circ\text{C}$ であり、膜の成長速度は50Å～500Å/分である。

【0029】次にa-Si層32を $550^\circ\text{C} \sim 600^\circ\text{C}$ で8時間～56時間加熱し、固相成長させ固相成長した膜32'とする。固相成長した膜32'にフィールド酸化膜用の SiO_2 膜33をRFスパッタリングにより形成した後、レジストによりパターンニングしてチャネル部を開孔する（図3(b)参照）。

【0030】 SiO_2 膜33を含む基板上に本発明のゲート酸化膜用の SiO_2 膜34'を形成する。成膜条件は前記実施例と同様にし次の通りである。

【0031】

TEOSガス 50SCCM

O_2 ガス 300SCCM

Cl_2 ガス 20SCCM

電力 100W

成膜温度 600℃

圧力 0.05Torr~2.0Torr

この条件で膜厚500Å~1500Åで成膜した後550℃以上の温度で長時間アニールする。

【0032】次にこの上にゲート電極用のa-Si層35'を形成する(図3(c)参照)。レジストを用いた2段階のエッチングにより、ゲート電極のパターニングを行い、ゲート酸化膜34、ゲート電極35を形成する(図3(d)参照)。

【0033】イオン打込み用のマスクとして、一方のチャネル部開口部にレジスト36を形成し、開口部に第1のドーパントイオン、例えばリン(P)イオンをドーブする(図3(e)参照)。

【0034】このレジスト36を剥離し、第2のイオン打込み用マスクのためのレジスト37を形成し、開口部に第2のドーパントイオン、例えばホウ素(B)イオンをドーブし、C-MOSFETを形成する(図3(f)参照)。

【0035】次にレジスト37を剥離後、 N_2 雰囲気中で550℃~600℃で24時間加熱し、ドーパントの活性化とゲート電極a-Si層35の結晶化を行う。さらに例えば H_2 雰囲気中で400℃、30分間加熱して水素化を行い、チャネル層を含む半導体層の欠陥準位を減少させる(図4(a)参照)。

【0036】この後、基板全体にスパッタリングによって層間絶縁膜として SiO_2 膜38を形成する(図4(b)参照)。次にこの SiO_2 膜38にコンタクトホールを形成し、電極用Al膜を成膜後、パターニングし

て、ガラス基板上の非単結晶半導体層中に低温プロセスによりC-MOSFETを完成する。

【0037】

【発明の効果】本発明により形成するゲート酸化膜用 SiO_2 膜は従来のTEOS+ O_2 ガスによるP-CVD法による SiO_2 膜と同様に良質な SiO_2 膜を、例えば30cm×30cm角の如き大面積基板に均一な膜厚を保持しつつ、より低い温度領域で成膜できる。その上成膜速度が早くなる。

【0038】また本発明により形成した SiO_2 膜を用いることにより、ステップカバレッジがすぐれ、界面準位密度が小さく、耐圧の大きいゲート酸化膜が得られる。従って、このゲート酸化膜を用いたTFTは活性Si層の厚みを厚くでき、TFTの移動度を大きくすることが出来る効果がある。

【図面の簡単な説明】

【図1】本発明による薄膜トランジスタを製造するCVD装置の概略構成図である。

【図2】本発明により成膜した SiO_2 膜の膜厚のパラツキと成膜温度の関係を示す図である。

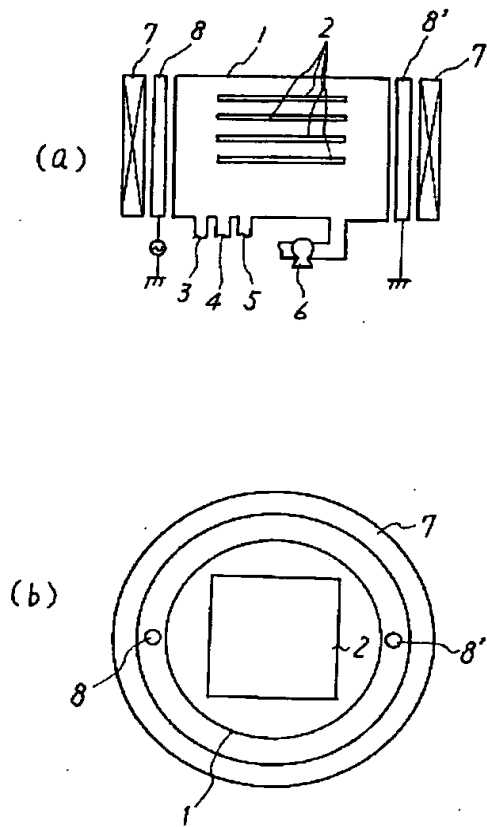
【図3】本発明により成膜した SiO_2 膜を用いたC-MOSFETの製造工程説明図の一部である。

【図4】本発明により成膜した SiO_2 膜を用いたC-MOSFETの製造工程説明図のうち図3の次工程説明図である。

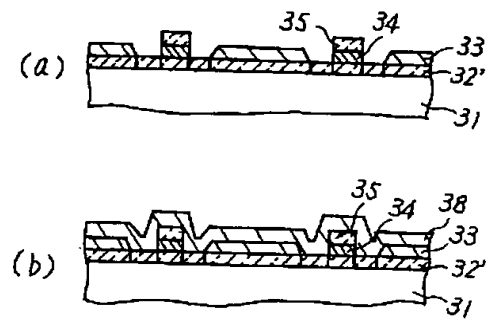
【符号の説明】

- 1 石英チャンバー
- 2 試料基板
- 3 ガス導入口
- 4 ガス導入口
- 5 ガス導入口
- 7 ヒータ
- 8 棒状電極
- 34 ゲート酸化膜
- 35 ゲート電極

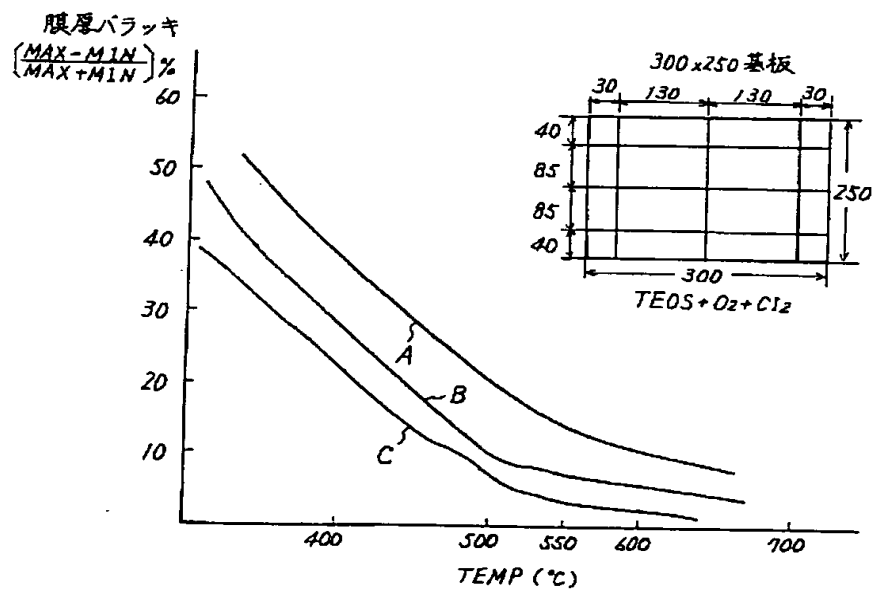
【図1】



【図4】



【図2】



【図3】

